

Постсиликоновая верификация высокоскоростных межпроцессорных связей в процессоре «Эльбрус-8СВ»

А. Е. Ометов¹, А. А. Виноградов^{1, 2}, А. С. Воробьев^{1, 3}

¹ АО «МЦСТ», Москва, Россия

² МИРЭА – Российский технологический университет, Москва, Россия

³ ПАО «Институт электронных управляющих машин им. И. С. Брука», Москва, Россия

В статье описаны эксперименты, проведенные в рамках постсиликоновой верификации микропроцессора «Эльбрус-8СВ» – одного из важных этапов процесса верификации, во многом определяющего возможность создания высокопроизводительных вычислительных комплексов в составе нескольких микропроцессоров данной серии. Исследован канал межпроцессорных связей процессора «Эльбрус-8СВ» и выдвинуты предположения о причинах низкой скорости работы межпроцессорных связей. Описаны эксперименты, которые были проведены для проверки выдвинутых гипотез, и сделаны промежуточные выводы, основанные на результатах этих исследований. Рассмотрены встроенный в физические уровни CEI-6G и PCIe 2.0 механизм тестирования, его режимы работы и алгоритм тестирования. Проведены исследования по проверке корректности используемого механизма и описаны модификации исходного метода проверки связей. Сделаны окончательные выводы о причинах некорректной работы межпроцессорных связей и даны рекомендации по повышению надежности проектируемых высокоскоростных связей как по параметрам затухания сигнала, так и по уровню помехозащищенности. Актуальность данного исследования для производства современных высокопроизводительных вычислительных систем прослеживается не только в интересе проектировщиков к данной проблеме, но и в требованиях производителей физических уровней.

Ключевые слова: CEI-6G, внутреннее самотестирование, постсиликоновая верификация, высокоскоростные связи

Для цитирования:

Ометов А. Е., Виноградов А. А., Воробьев А. С. Постсиликоновая верификация высокоскоростных межпроцессорных связей в процессоре «Эльбрус-8СВ» // Радиопромышленность. 2019. Т. 29, № 3. С. 33–40. DOI: 10.21778/2413-9599-2019-29-3-33-40

© Ометов А. Е., Виноградов А. А., Воробьев А. С., 2019



Post-silicon verification of high-speed interconnections in Elbrus-8CB microprocessor

A. E. Ometov¹, A. A. Vinogradov^{1, 2}, A. S. Vorobiev^{1, 3}

¹ MCST JSC, Moscow, Russia

² MIREA – Russian Technological University, Moscow, Russia

³ Institute of Electronic Control Computers named after I. S. Brook, Moscow, Russia

The article describes the experiments carried out during the post-silicon verification of Elbrus-8CB microprocessor – one of the important stages of the verification process, which mostly determines the possibility of creating high-performance computing systems consisting of several microprocessors of this series. The interprocessor communication channels of the Elbrus-8CB microprocessor were investigated and some hypotheses were put forward about the reasons for their low operating speed. Experiments conducted to validate these hypotheses are made with intermediate conclusions based on their results. The built-in testing mechanism of CEI-6G and PCIe 2.0 physical levels was described alongside with its operating modes and testing algorithm. Several studies were carried out to ensure the correctness of the testing mechanism. This led to modifications of the initial testing method. The final conclusions about the reasons for the incorrect operation of interprocessor communications were made, and recommendations were given to improve the high-speed communications signals attenuation parameters and the level of their interference immunity. The relevance of this study for the production of modern high-performance computing systems can be traced not only in the growing interest of designers to this problem, but also in tightening of the requirements of the physical layers manufacturers.

Keywords: CEI-6G, Built-in testing, post-silicon verification, high-speed interconnections

For citation:

Ometov A. E., Vinogradov A. A., Vorobiev A. S. Post-silicon verification of high-speed interconnections in Elbrus-8CB microprocessor. Radio industry (Russia), 2019, vol. 29, no. 3, pp. 33–40. (In Russian). DOI: 10.21778/2413-9599-2019-29-3-33-40

Введение

Сложность основных функциональных блоков и объединяющей их коммуникационной системы делают верификацию одной из ключевых задач разработки современного микропроцессора. По статистическим данным она занимает около 70% времени и ресурсов проектирования [1].

Верификация осуществляется практически на всем протяжении проектирования от формирования технического задания до передачи изделия в серийное производство. В статье описывается конкретный опыт, полученный разработчиками восьмиядерного микропроцессора «Эльбрус-8СВ» при реализации постсиликоновой верификации межпроцессорных связей – одного из важных этапов работы, во многом определяющего возможность создания высокопроизводительных вычислительных комплексов (ВК) в составе нескольких микропроцессоров данной серии. Этот этап следует за получением с фабрики первых образцов микропроцессоров и позволяет обнаружить ошибки в логическом и физическом проектировании, а также в разработке коммутационных плат корпуса и материнских плат.

Характеристика межпроцессорных связей

Межпроцессорные связи в ВК на базе микропроцессоров семейства «Эльбрус» реализованы на основе физического уровня CEI-6G с использованием протокола PCI Express 2.0. В составе ВК каждый микропроцессор связан с остальными посредством четырех соединений (links), каждое из которых состоит из четырех двунаправленных линий (lanes). Линии связывают передатчики (transmitters, Tx) с одной стороны и приемники (receivers, Rx) – с другой. Пропускная способность линии достигает достаточно высокого значения – 6 Гбит/с, поэтому важно правильно подобрать настройки физического уровня так, чтобы сигнал не затухал (линии на серверной плате достаточно длинные) и не искажался.

Обычно в многопроцессорной системе имеется до четырех процессоров. У каждого процессора есть три направления межпроцессорных связей: ip1A, ip1B, ip1C. Они могут соединяться между собой в нескольких конфигурациях, но для плат с микропроцессором «Эльбрус-8СВ» определена схема соединений, показанная на рис. 1.

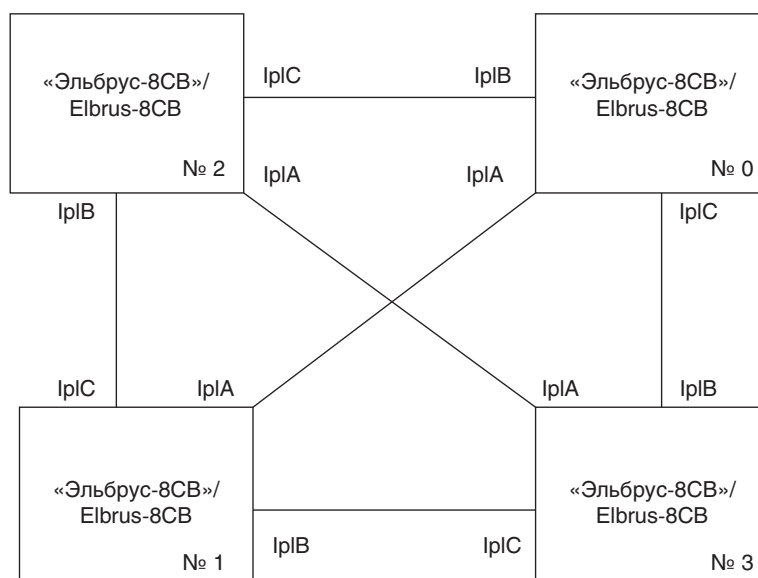


Рисунок 1. Схема соединений микропроцессоров «Эльбрус-8СВ» в многопроцессорную систему
Figure 1. Connection diagram of «Elbrus-8СВ» microprocessors in a multiprocessor system

Межпроцессорные связи характеризуются такими настраиваемыми параметрами, как выходная амплитуда передатчика и величины pre-emphasis и equalisation. Pre-emphasis (в передатчике) позволяет усилить сигнал на некоторую величину, чтобы уменьшить влияние затухания. Equalization (в приемнике) принимает усиленный сигнал и возвращает ему исходный вид. Для обеспечения устойчивой работоспособности комплекса необходима их правильная настройка, однако степень дискретности настроек по этим параметрам очень велика, и перебрать все возможные варианты за приемлемое время затруднительно. Поэтому, как правило, выбираются 20–30 настроек и с их помощью определяется область работоспособности, в которой комплекс работает стабильно.

Исследованные проблемы

При получении первой итерации микропроцессора «Эльбрус-8СВ» было установлено, что некоторые межпроцессорные связи передают данные с ошибками и работают на меньшей, чем предполагалось, скорости. Для объяснения причин этого было выдвинуто четыре гипотезы:

- 1) некорректная работа физического уровня CEI-6G;
- 2) ошибка в проектировании платы;
- 3) ошибка в проектировании подложки;
- 4) нестабильность генераторов опорного синхросигнала для физических уровней.

Для анализа этих предположений было принято решение использовать встроенный в физический уровень механизм самотестирования.

Механизм самотестирования

Механизм самотестирования состоит из двух основных частей (рис. 2): генератора тестовых данных и блока сравнения. Генератор основан на сдвиговом регистре с программируемой линейной обратной связью [2]. В зависимости от выбранного режима обратная связь имеет вид:

- режим: PRBS31; математическая формула обратной связи: $X^{31} + X^{28} + 1$;
- режим: PRBS23; математическая формула обратной связи: $X^{23} + X^{18} + 1$;
- режим: PRBS15; математическая формула обратной связи: $X^{15} + X^{14} + 1$;
- режим: PRBS7; математическая формула обратной связи: $X^7 + X^6 + 1$.

Помимо указанных режимов генератор тестовых данных может передавать запрограммированные пользователем данные. Генератор встроен в передатчик и подменяет реальные данные тестовыми. Блок сравнения размещен в приемнике и может синхронизироваться с генератором, принимать посылаемые им последовательности и подсчитывать количество ошибок. У механизма самотестирования есть дополнительный режим loopback, в котором выходы передатчика закорачиваются внутри кристалла на входы своего же приемника.

Управление механизмом самотестирования, изменение параметров связей, их инициализация и повторная инициализация производятся с помощью управляющих регистров, которые доступны с помощью JTAG-интерфейса [3].

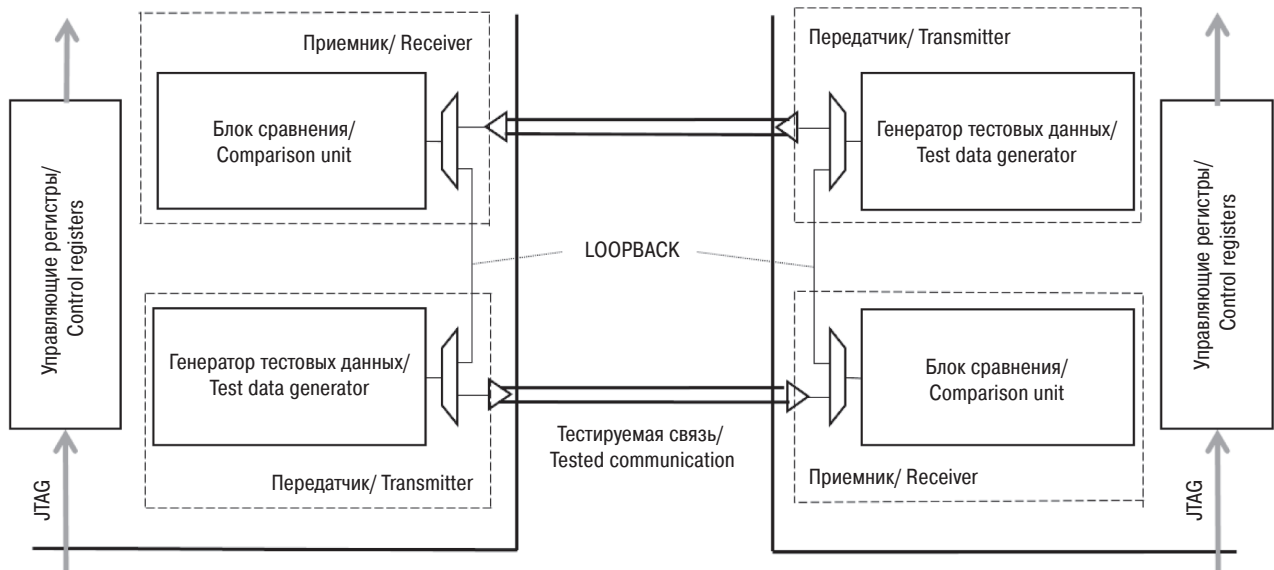


Рисунок 2. Устройство механизма самотестирования
Figure 2. Device self-test mechanism

Установлен следующий порядок тестирования параметров:

- 1) выбор набора настроек и инициализация физического уровня передатчика и приемника с этими настройками;
- 2) выбор режима работы генератора на передатчике и включение компаратора на приемнике в том же режиме;
- 3) синхронизация механизма сравнения с генератором, после чего – сброс значения счетчика ошибок и начало тестирования;
- 4) чтение значения счетчика ошибок каждой линии;
- 5) выключение генератора и механизма сравнения;
- 6) анализ полученных данных. Вывод о работоспособности настроек.

Эти действия производятся для каждого набора. В результате на основании данных счетчика ошибок можно определить окно работоспособности межпроцессорной связи, проанализировать работу каждой линии и выбрать наилучшую точку для повышения отказоустойчивости системы.

Проверка корректности работы физического уровня CEI-6G

Для проверки первой гипотезы использовался режим loopback, когда выходы передатчика накоротко замыкаются на входы приемника внутри самого физического уровня. Тестирование проводилось во всех возможных режимах работы генератора (prbs7–prbs31), на всех возможных скоростях (3,00–6,25 Гбит/с). Результаты были получены положи-

тельные – данные передавались без ошибок в любом режиме.

Однако это не дает оценки работы физического уровня в целом, а лишь свидетельствует об отсутствии логической ошибки. Для дополнительной оценки физического уровня был использован канал связи с южным мостом КПИ-2, введенным в состав вычислительных средств семейства «Эльбрус». Этот канал устроен по тому же принципу, что и межпроцессорные связи, но с одного конца у процессора используется физический уровень CEI-6G, а с другого – «честный» физический уровень PCIe 2.0, относящийся к КПИ-2. Благодаря тому, что в обоих физических уровнях есть механизмы тестирования, работающие по одинаковому принципу, было возможно сравнительно оценить работу CEI-6G. По результатам тестирования обнаружено, что направление передачи из процессора в КПИ-2 работает намного лучше, чем в обратную сторону. Это свидетельствует о том, что приемники в составе CEI-6G работают хуже, чем в составе PCIe 2.0.

По результатам проверок были обновлены и дополнены критерии выбора физических уровней для будущих проектов. В частности, введены в использование более надежные физические уровни, которые с приемлемым запасом соответствуют поставленным задачам.

Ошибки в проектировании платы

Для проверки второй гипотезы применялась используемая для разбраковки многопроцессорная плата, позволяющая менять процессоры местами. Несмотря на то, что в начале работы режимы под-

держивались такими же, как в предыдущем случае, результаты совершенно изменились: если в режиме prbs7 все соединения работали исправно на всех скоростях, то при увеличении комбинаторики теста, т. е. при переходе с prbs7 на prbs15 и выше, на связях возникли сбои. При скорости 4 Гбит/с проявились единичные сбои, а при скорости 5 Гбит/с были зарегистрированы сотни ошибок вплоть до переполнения счетчика ошибок. При этом направление передачи данных ip1A–ip1A значительно выделялось на фоне остальных: на нем детектировалось на порядок больше ошибок, чем на соседних.

Была собрана статистика на нескольких процессорах при разных вариантах их расположения в многопроцессорной системе. По ее показателям разработчики платы выявили, что длина сбоящих линий значительно отличается от длины линий на других направлениях. Хотя она и не выходила за рамки допустимых значений, было решено при разработке будущих плат уменьшить и по возможности выровнять между собой длины этих линий.

Также в ходе исследований было замечено, что один из процессоров показывает значительно худшие результаты по одному из направлений. При перемещении процессора в другое посадочное место на плате дефект перемещался вместе с ним. Таким образом, был выявлен дефектный процессор, результаты которого не учитывались в статистике.

Дополнительные проверки корректности метода исследования

В ходе проверки второй гипотезы был поднят вопрос о корректности методов в проводимых испытаниях. Межпроцессорные связи работают по протоколу PCIe 2.0, который использует 8b/10b кодирование. Оно гарантирует, что при передаче данных не будет встречаться более пяти нулей или единиц подряд. Встроенный в физический уровень генератор может работать в режимах prbs7, prbs15, prbs23 и prbs31. В каждом из них встречается более пяти единиц и нулей подряд, причем чем выше комбинаторика, тем больше одинаковых битов данных следуют подряд. По этой причине возникло предположение об «уплывании» уровня сигнала, приводящем к некорректной работе физического уровня. Чтобы его проверить, был поставлен следующий эксперимент. Сначала генератор переводился в режим prbs7, выход которого максимально приближен к реальным данным, и с помощью осциллографа, подключенного к одной из линий данных (дифференциальной паре), наблюдался средний уровень сигнала. Затем генератор переводился в специальный режим подачи заранее установленной последовательности из большого количества

единиц с последующим замером среднего уровня. Эффекта «уплывания» не было.

Наличие этого эффекта не подтвердилось и при косвенном наблюдении. Если средний уровень действительно «уплывает», то величина, на которую он сместится, должна зависеть от скорости передачи данных, т. е. чем длительнее передаются данные, тем длительнее последовательность 0 или 1 присутствует на линии и, соответственно, тем большим должно быть смещение.

Для анализа этого эффекта генератор был переведен в режим prbs31, которому свойственны наиболее деструктивные (с точки зрения гипотезы «уплывания») последовательности. Эксперимент проводился на скоростях 3 и 6 Гбит/с, причем ожидалось, что при наличии предполагаемого эффекта результаты будут лучше на более высокой скорости, когда время присутствия данных на линии меньше. Однако результат оказался противоположным – на более низкой скорости фиксировалось меньше ошибок, чем на высокой. Это означало, что уровень не «уплывает» и выбранный метод тестирования не ухудшает работу физического уровня.

Далее необходимо было выбрать режим генератора, на котором будут проводиться дальнейшие исследования. Для высокоскоростных каналов определен такой параметр, как Bit Error Rate (BER), показывающий допустимое количество ошибок при передаче данных. Для физического уровня CEI-6G он составляет 10^{-15} , а для PCIe 2.0 – всего 10^{-12} , т. е. одна ошибка на 10^{12} бит данных [4]. Отсюда следует, что на скорости 6 Гбит/с при подсчете BER для PCIe 2.0 необходимо порядка 8 мин. С учетом того, что тестирование предполагает группу из 10–20 настроек на разных скоростях передачи данных, время эксперимента оказывается довольно заметным. Поэтому было решено проверить корреляцию результатов подсчета BER, использующего prbs7, и короткого теста, использующего prbs15 (в этом случае выполняется порядка восьми полных проходов всех возможных последовательностей бит, что занимает примерно 3–4 с). В результате было установлено, что более короткий, но более жесткий с точки зрения комбинаторики тест prbs15 указывает на те же самые линии, что и BER с использованием prbs7.

По результатам данных проверок и экспериментов относительно второй гипотезы было принято решение во всех последующих экспериментах использовать режим prbs15 как обеспечивающий наиболее эффективное выделение слабых линий с количественными оценками (количество ошибок за время тестирования) их параметров во многих режимах. К тому же он более эффективен с точки зрения времени тестирования.

Ошибки в проектировании подложки

Чтобы отделить проблемы многослойной печатной платы от проблем подложки, эксперимент по проверке третьей гипотезы проводился на специальных упрощенных испытательных платах, на которых находятся только необходимые для работы микропроцессора элементы. Межпроцессорные связи закорочены сами на себя, т. е. у каждой линии передатчик закорочен на свой приемник, но уже на самой плате, а не внутри физического уровня. Как и в случае с проверкой второй гипотезы, были проведены эксперименты на нескольких процессорах, но уже с учетом данных, полученных при проверке корректности методов исследований. Собранный статистика была передана разработчикам коммутационной платы корпуса для анализа.

Параллельно с этим была проделана работа по дополнительному совершенствованию механизма тестирования. Причины, вызывающие ошибки, можно разделить на две группы:

- 1) нарушения, искажающие сигнал в самой линии (скин-эффект, потери в диэлектрике, неоднородности в линии);
- 2) помехи, возникающие при взаимодействии передатчиков и приемников во всех линиях канала.

Поэтому был введен дополнительный режим тестирования *single direction*, в котором данные передавались только в одном направлении. Таким образом, передатчики одной линии не оказывали влияния на приемники соседних линий, и причину ошибок можно было выявить. Серия экспериментов показала, что в режиме *single direction* линии работают значительно лучше: при скорости 4 Гбит/с ошибок не стало, при 5 Гбит/с появились рабочие линии без ошибок, а при 6 Гбит/с количество ошибок не превышало пары десятков. Исходя из этого было установлено, что основной причиной снижения скорости работы межпроцессорных связей являются именно помехи, так как в режиме *single direction*, где работает только одна линия, результаты значительно лучше, чем в режиме, когда работают все линии сразу.

При анализе этого результата было констатировано, что некоторые из слабых линий имеют значительно большее количество переходов между слоями, нежели линии с меньшим количеством ошибок. Также более определенно были обозначены проблемы направления *ip1A–ip1A*. Суть в том, что свободный конец в металлизированном переходе (STUB) может несколько исказить фронт [5]. У направлений *ip1C–ip1B* и *ip1B–ip1C* этот конец находится только с одной из сторон, причем с разных, в то время как в варианте *ip1A–ip1A* он присутствует на обоих концах (у приемника и передатчика), что дополнительно ухудшает свойства данного направления.

Нестабильность генераторов опорного синхросигнала для физических уровней

Для проверки четвертой гипотезы было решено заменить стандартные генераторы опорной частоты физического уровня NB3N5573 более стабильными с использованием оценочной платы Si5340-EB rev 3.0. Результаты, полученные при тестировании с новыми генераторами, были аналогичны старым, соответственно, данная гипотеза не подтвердилась.

Исследования динамики изменения токов потребления и их зависимости от питания

Параллельно с исследованиями межпроцессорных связей велись исследования канала памяти DDR4, в ходе которых обнаружилось проблемы с шиной питания. Было решено провести несколько экспериментов и с питанием межпроцессорных связей.

В первом эксперименте исследовалось влияние на работу канала динамики изменения токов потребления в зависимости от передаваемых кодов. Эта проблема обусловлена тем, что в зависимости от передаваемых кодовых последовательностей ток в межпроцессорных связях переключается случайным образом, что вызывает переменные толчки тока и раскочку питания после фильтра. Чтобы проверить этот эффект, в фильтр линий 12–15 (как наиболее слабых) дополнительно к имеющемуся конденсатору $C_{\phi} = 10$ мкФ была включена емкость $C_{\phi} = 100$ мкФ, что должно было снизить резонансную частоту фильтра и его сопротивление примерно в три раза.

Результаты тестирования показали, что при наличии дополнительной емкости линии начинают работать на порядок лучше. Это свидетельствует о том, что имеют место толчки тока, зависящие от кодовых комбинаций.

Далее был проведен эксперимент по варьированию питания физического уровня в пределах 10% от номинального. При понижении питания на 10% наблюдалась довольно серьезная деградация работы связей, однако при повышении отмечалось слабое улучшение относительно результатов работы на номинальном напряжении.

В итоге на основе полученных результатов и результатов по исследованию DDR4 был проведен анализ всего тракта питания, включая разводку по кристаллу, корпусу, контактирующему устройству и фильтру.

Результаты исследования

Встроенный в физический уровень механизм тестирования позволил разработчикам многослойных печатных плат и коммутационных плат корпуса вы-

явить слабые места в канале передачи данных, а именно:

- свободный конец в металлизированном переходе может исказить фронт сигнала. Для микропроцессора «Эльбрус-8СВ» эта величина достигает 10 пс. Наличие STUB с одного конца связи не критично, но его наличие с обеих сторон заметно ухудшает работоспособность;
- некоторые линии, например на направлении $ip1A-ip1A$, имеют между собой большой разброс по длине, что приводит к ухудшению работы приемников. Поэтому необходимо выравнивать линии друг относительно друга и уменьшать их общую длину;
- большое количество переходов между слоями платы ухудшает надежность работы линии передачи данных.

Помимо этого были проведены работы по увеличению помехозащищенности канала, в результате которых были обнаружены следующие неточности проектирования и выведены рекомендации по их исправлению:

- земляные металлизированные отверстия необходимо располагать с внешней стороны относительно сигнальных, а не параллельно;
- дифференциальные пары в многослойных печатных платах имеют зазор 6 ширин проводника и коэффициент связи, существенно меньший 1,0%, поэтому влияние их друг на друга мало. В то же время дифференциальные пары в корпусе имеют зазор 3 ширины проводника и коэффициент связи около 2,5%, в силу чего их влияние

друг на друга уже заметно. Поэтому рекомендуется выходные и входные сигналы трассировать в разных пакетах;

- разделительные конденсаторы расположены близко друг к другу (зазор 0,4 мм, что при высоте конденсатора 0,4 мм образует контур связи), в результате чего взаимная индуктивность имеет величину порядка 0,4 нГн и образует влияние порядка 8 пс. Поэтому было рекомендовано увеличить расстояние между конденсаторами либо расположить их в шахматном порядке для снижения взаимного влияния.

Выводы

Описанные в статье проблемы актуальны для производства современных высокопроизводительных вычислительных систем. Помимо растущего интереса проектировщиков к данной теме, тенденция к улучшению помехозащищенности прослеживается и в требованиях к проектированию систем. Если для проектирования CEI-6G требовалось только одно условие – на скорости передачи 6 Гбит/с обеспечить затухание сигнала не более 10 дБ, то для проектирования на основе более современного физического уровня Enterprise 12G требования ужесточились – на скорости передачи 12 Гбит/с к затуханиям добавились требования по подавлению помех, равные –45 дБ, т. е. влияние помех должно составлять не более 0,3%. Это означает, что обеспечение высокой помехозащищенности является решающим фактором при проектировании высокоскоростных каналов передачи данных и производителям современных физических уровней следует обращать на это особое внимание.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Mishra P., Ray S., Morad R., Ziv A. Post-Silicon Validation in the SoC Era: A Tutorial Introduction. *IEEE Design&Test*, 2017, vol. 34, iss. 3, pp. 68–92 [Электронный ресурс]. URL: <https://ieeexplore.ieee.org/document/7892969> (дата обращения: 23.04.2019).
2. Wang L.-T., Stroud C. E., Toubia N. A. *System-on-Chip Test Architectures: nanometer design for testability*. Burlington, Morgan Kaufmann Publishers, 2008, 896 p.
3. IEEE Std 1149.1-2001: IEEE Standard Test Access Port and Boundary-Scan Architecture. New York, Institute of Electrical and Electronics Engineers, 2001, 208 p. [Электронный ресурс]. URL: https://standards.ieee.org/standard/1149_1-2001.html (дата обращения: 04.07.2019).
4. Müller M., Stephens R., McHugh R. Total Jitter measurement at low probability levels, using optimized BERT Scan method. Agilent Technologies, Inc. 2005, 2007. Printed in USA, 2007, 18 p. [Электронный ресурс]. URL: <http://literature.cdn.keysight.com/litweb/pdf/5989-2933EN.pdf> (дата обращения: 03.07.2019).
5. Hardock A., Rimolo-Donadio R., Müller S., Kwark Y. H., Schuster C. Efficient, Physics-Based Via Modeling: Return Path, Impedance, and Stub Effect Control. *IEEE Electromagnetic Compatibility Magazine*, 2014, vol. 3, iss. 1, pp. 76–84 [Электронный ресурс]. URL: <https://ieeexplore.ieee.org/document/6798802> (дата обращения: 03.07.2019). DOI: 10.1109/MEMC.2014.6798802.

REFERENCES

1. Mishra P., Ray S., Morad R., Ziv A. Post-Silicon Validation in the SoC Era: A Tutorial Introduction. *IEEE Design&Test*, 2017, vol. 34, iss. 3, pp. 68–92. Available at: <https://ieeexplore.ieee.org/document/7892969> (accessed 23.04.2019).
2. Wang L.-T., Stroud C. E., Toubia N. A. *System-on-Chip Test Architectures: nanometer design for testability*. Burlington, Morgan Kaufmann Publishers, 2008, 896 p.

3. IEEE Std 1149.1-2001: IEEE Standard Test Access Port and Boundary-Scan Architecture. New York, Institute of Electrical and Electronics Engineers, 2001, 208 p. Available at: https://standards.ieee.org/standard/1149_1-2001.html (accessed 04.07.2019).
4. Müller M., Stephens R., McHugh R. Total Jitter measurement at low probability levels, using optimized BERT Scan method. Agilent Technologies, Inc. 2005, 2007. Printed in USA, 2007, 18 p. Available at: <http://literature.cdn.keysight.com/litweb/pdf/5989-2933EN.pdf> (accessed 03.07.2019).
5. Hardock A., Rimolo-Donadio R., Müller S., Kwarck Y. H., Schuster C. Efficient, Physics-Based Via Modeling: Return Path, Impedance, and Stub Effect Control. *IEEE Electromagnetic Compatibility Magazine*, 2014, vol. 3, iss. 1, pp. 76–84. Available at: <https://ieeexplore.ieee.org/document/6798802> (accessed 03.07.2019). DOI: 10.1109/MEMC.2014.6798802.

ИНФОРМАЦИЯ ОБ АВТОРАХ

Ометов Александр Евгеньевич, инженер 2-й категории, АО «МЦСТ», 119334, Москва, ул. Вавилова, д. 24, тел.: +7 (495) 363-95-03, e-mail: Alexander.E.Ometov@mcst.ru.

Виноградов Артем Андреевич, аспирант, МИРЭА – Российский технологический университет, инженер 3-й категории, АО «МЦСТ», 119334, Москва, ул. Вавилова, д. 24, тел.: +7 (495) 363-95-03, e-mail: vinogradov_a@mcst.ru.

Воробьев Антон Сергеевич, начальник сектора, АО «МЦСТ», ПАО «Институт электронных управляющих машин им. И. С. Брука», 119334, Москва, ул. Вавилова, д. 24, тел.: +7 (495) 363-95-03, e-mail: Anton.S.Vorobiev@mcst.ru.

AUTHORS

Aleksandr E. Ometov, category 2 engineer, MCST JSC, 24, ulitsa Vavilova, Moscow, 119334, Russia, tel.: +7 (495) 363-95-03, e-mail: Alexander.E.Ometov@mcst.ru.

Artem A. Vinogradov, postgraduate student MIREA – Russian Technological University, category 3 engineer, MCST JSC, 24, ulitsa Vavilova, Moscow, 119334, Russia, tel.: +7 (495) 363-95-03, e-mail: vinogradov_a@mcst.ru.

Anton S. Vorobev, Head of Sector, MCST JSC, Institute of Electronic Control Computers named after I. S. Brook, 24, ulitsa Vavilova, Moscow, 119334, Russia, tel.: +7 (495) 363-95-03, e-mail: Anton.S.Vorobiev@mcst.ru.

Поступила 29.04.2019; принята к публикации 11.06.2019; опубликована онлайн 21.08.2019.
Submitted 29.04.2019; revised 11.06.2019; published online 21.08.2019.